



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0085164
Application Number

출원 년 월 일 : 2002년 12월 27일
Date of Application DEC 27, 2002

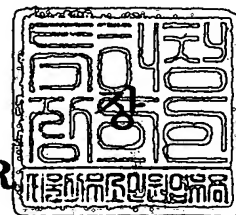
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일


특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0003		
【제출일자】	2002.12.27		
【발명의 명칭】	이미지센서의 트렌치 소자분리막 형성방법		
【발명의 영문명칭】	Method for forming trench isolation layer in image sensor		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	이원호		
【성명의 영문표기】	LEE, Won Ho		
【주민등록번호】	720807-1182513		
【우편번호】	156-090		
【주소】	서울특별시 동작구 사당동 105번지 신동아아파트 407-1408		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	2	면	2,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	6	항	301,000 원
【합계】	332,000		원



1020020085164

출력 일자: 2003/5/15

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 이미지센서의 소자분리막 형성방법에 관한 것으로, 특히, 트렌치 구조의 소자분리막을 형성하는 공정에서 채널스톱영역 형성을 위한 이온주입을 2단계로 수행하여 인접픽셀간의 누화를 감소시키고 광감도를 향상시킨 발명이다.

본 발명은 얇은 트렌치 소자분리막(Shallow Trench Isolation)을 이용한 소자분리 방법에 관한 것으로, 이미지센서가 점차로 미세해짐에 따라 이미지센서를 구성하는 인접 픽셀간의 누화 현상과 누설전류가 증대되는 것을 방지하기 위하여 트렌치 구조의 저변에 깊숙히 자리잡은 제 1 채널스톱 이온주입영역과 트렌치 구조의 측면과 저변에 아울러서 형성되는 제 2 채널스톱 이온주입영역을 이용하여 전술한 문제점을 해결한 트렌치 소자분리막 형성방법에 관한 것이다.

【대표도】

도 3

【색인어】

이미지센서, 트렌치, 누화, 채널스톱 이온주입영역

【명세서】

【발명의 명칭】

이미지센서의 트렌치 소자분리막 형성방법{Method for forming trench isolation layer in image sensor}

【도면의 간단한 설명】

도1a은 1개의 포토다이오드와 4개의 트랜지스터로 구성된 이미지센서의 단위화소를 보인 회로도,

도1b는 도1a에 도시된 이미지센서에서 문제점을 도시한 단면도,

도2a 내지 도2e는 본 발명의 일실시예에 따른 트렌치 소자분리방법을 도시한 공정 순서도,

도3은 본 발명의 일실시예를 적용하여 종래기술의 문제점을 해결하는 모습을 도시한 단면도.

도면의 주요부분에 대한 부호의 설명

30 : p형 기판 31 : p형 에피층

32 : 트렌치 산화막 33 : 제 2 채널스톱 이온주입영역

34 : 제 1 채널스톱 이온주입영역 35 : p^0 이온주입영역

36 : deep n^- 이온주입영역 37 : 게이트 스페이서

38 : 게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 이미지센서에 관한 것으로 특히, 트렌치구조를 이용한 소자분리막 형성 방법에서 채널스톱 이온주입영역을 2단계로 형성하여 인접셀간의 누화(cross talk)현상과 누설전류를 감소시키고 암전류 특성을 향상시킨 발명이다.
- <12> 일반적으로, 이미지센서라 함은 광학 영상(optical image)을 전기 신호로 변환시키는 반도체소자로서, 이 중에서 전하결합소자(CCD : charge coupled device)는 개개의 MOS(Metal-Oxide-Silicon) 커패시터가 서로 매우 근접한 위치에 있으면서 전하 캐리어가 커패시터에 저장되고 이송되는 소자이며, 시모스(Complementary MOS) 이미지센서는 제어회로(control circuit) 및 신호처리회로(signal processing circuit)를 주변회로로 사용하는 CMOS 기술을 이용하여 화소수 만큼의 MOS트랜지스터를 만들고 이것을 이용하여 차례차례 출력(output)을 검출하는 스위칭 방식을 채용하는 소자이다.
- <13> CCD(charge coupled device)는 구동 방식이 복잡하고 전력소모가 많으며, 마스크 공정 스텝 수가 많아서 공정이 복잡하고 시그날 프로세싱 회로를 CCD 칩내에 구현 할 수 없어 원칩(One Chip)화가 곤란하다는 등의 여러 단점이 있는 바, 최근에 그러한 단점을 극복하기 위하여 서브-마이크론(sub-micron) CMOS 제조기술을 이

용한 CMOS 이미지센서의 개발이 많이 연구되고 있다. CMOS 이미지센서는 단위 화소(Pixel) 내에 포토다이오드와 모스트랜지스터를 형성시켜 스위칭 방식으로 차례로 신호를 검출함으로써 이미지를 구현하게 되는데, CMOS 제조기술을 이용하므로 전력 소모도 적고 마스크 수도 20개 정도로 30~40개의 마스크가 필요한 CCD 공정에 비해 공정이 매우 단순하며 여러 신호 처리 회로와 원칩화가 가능하여 차세대 이미지센서로 각광을 받고 있다.

<14> 도1a는 통상의 CMOS 이미지센서에서 1개의 포토다이오드(PD)와 4개의 n형 MOS 트랜지스터로 구성된 단위화소(Unit Pixel)를 도시한 회로도로서, 빛을 받아 광전하를 생성하는 포토다이오드와, 포토다이오드(PD)에서 모아진 광전하를 플로팅확산영역(FD)으로 운송하기 위한 트랜스퍼 트랜지스터(Tx)와, 원하는 값으로 플로팅확산영역의 전위를 세팅하고 전하를 배출하여 플로팅확산영역(FD)을 리셋시키기 위한 리셋 트랜지스터(Rx)와, 소스 팔로워 버퍼 증폭기(Source Follower Buffer Amplifier) 역할을 하는 드라이브 트랜지스터(Dx), 및 스위칭(Switching) 역할로 어드레싱(Addressing)을 할 수 있도록 하는 셀렉트 트랜지스터(Sx)로 구성된다. 단위 화소 밖에는 출력신호(Output Signal)를 읽을 수 있도록 로드(load) 트랜지스터가 형성되어 있는데 이는 미도시되어 있다.

<15> 이와 같은 구조의 이미지센서는 점차로 소형화되고 미세화되고 있는 추세이다. 일례로, 이미지센서에 사용되는 회로의 최소선폭은 $0.5\mu\text{m}$ 에서 $0.3\mu\text{m}$ 로 감소하는 추세이며 아울러, $0.18\mu\text{m}$ 급 소자에 대한 연구도 활발히 진행되고 있다.

<16> 이와 같이 이미지센서가 미세화하게 되면 픽셀어레이를 구성하는 하나하나의 단위 픽셀의 크기와 인접픽셀간의 간격 역시 감소하게 되며 또한, 회로를 구동하는 구동전압도 작아진다.

- <17> 이미지센서의 단위픽셀에는 포토다이오드가 내장되어 있는데, 단위픽셀의 크기가 작아지게 되면 포토다이오드도 역시 작아지게 된다. 포토다이오드는 빛에 의해 생성된 광전하를 공핢영역에 저장하여 이미지재현에 이용하는 구성요소로서, 빛에 의해 생성되는 광전하의 양은 이미지센서의 다이내믹 레인지와 직접적인 연관이 있다.
- <18> 다이내믹 레인지는 이미지센서의 최대 출력이 변화할 수 있는 폭을 의미하는데, 다이내믹 레인지가 크면 클 수록 보다 더 정확한 이미지 재현이 가능하다.
- <19> 이미지센서에서 다이내믹 레인지를 증가시키는 방법으로는 여러가지가 있을 수 있는데 먼저, 플로팅확산영역(FD)의 캐패시턴스를 감소시키는 방법이 있다. 이미지센서에는 포토다이오드에서 생성된 광전하가 플로팅확산영역으로 전달되어 이미지 재현에 사용되는데, 이때 플로팅확산영역의 캐패시턴스가 작을수록 동일한 전하량에 대한 전압의 변화폭이 커지게 된다. 이를 아래 수학적식을 참조하여 상술하면 다음과 같다.
- <20> 【수학적식 1】 $\Delta V = \Delta Q / C$
- <21> 수학적식 1을 참조하면, 만일 C가 작다면 전하량(ΔQ)이 작더라도 전위의 변화량(ΔV)이 크게 된다. 즉, 도1a를 참조하면 포토다이오드에서 생성된 광전하가 플로팅확산영역으로 이동하여 이미지재현에 사용되는데, 만일 C가 작다면 포토다이오드에서 이동된 전하량(ΔQ)이 적더라도 효율적으로 드라이브 트랜지스터를 구동하는 것이 가능해져 이미지센서의 다이내믹 레인지가 증가한다.
- <22> 이와같이 플로팅확산영역의 캐패시턴스를 감소시키기 위해서, 트랜스퍼 트랜지스터와 리셋 트랜지스터는 공핢형(depletion mode) NMOS 트랜지스터를 사용한다. 드라이브 트랜지스터와 셀렉트 트랜지스터는 일반형 NMOS 트랜지스터이다.

- <23> 공핍형 트랜지스터로 이루어진 트랜스퍼 트랜지스터와 리셋 트랜지스터에는 LDD(Lightly Doped Drain) 구조를 적용하지 않아도 되므로, 트랜스퍼 트랜지스터의 게이트 및 리셋 트랜지스터의 게이트와 플로팅확산영역 사이의 정션(Junction) 캐패시턴스가 작아져서 드라이브 트랜지스터를 효율적으로 구동할 수 있어 이미지센서의 다이내믹 레인지가 증가하게 된다.
- <24> 또한, 공핍형 트랜지스터는 음의 문턱전압을 갖기 때문에 트랜스퍼 트랜지스터와 리셋 트랜지스터를 공핍형으로 구성하게 되면, 리셋 동작시에 문턱전압으로 인한 전압강하를 감소시킬 수 있다.
- <25> 다음으로, 포토다이오드의 용량을 증가시켜 다이내믹 레인지를 증가시키는 방법이 있다. 즉, 포토다이오드의 체적 또는 면적을 증가시켜 포토다이오드의 용량을 증가시키는 것이다.
- <26> 이미지센서가 점차로 미세화되는 추세에서는 포토다이오드 역시 면적이 감소하고 있음은 전술한 바와 같다. 이 같은 포토다이오드의 면적감소로 인한 다이내믹 레인지의 감소를 보상해 주기위하여, 포토다이오드의 구조를 수직적으로 깊게 형성하여 다이내믹 레인지를 보상해 주는 방법이 제시되었다.
- <27> 하지만, 포토다이오드가 깊게 형성될 경우, 인접한 포토다이오드간의 간격이 좁기 때문에 인접 포토다이오드간의 누화(cross talk)현상이나 누설전류가 발생하는 빈도가 증가하는 단점이 있었다.
- <28> 도1b는 이미지센서의 단위화소에서 포토다이오드와 트랜스퍼 트랜지스터(Tx)를 중심으로 그 단면구조를 도시한 도면으로, 종래기술의 문제점 중에서 포토다이오드를 기판

깊숙히 형성하는 경우, 누설전류와 누화현상이 발생하는 문제점을 도시하기 위한 단면도이다. 도1b에는 포토다이오드를 구성하는 4개의 트랜지스터 중에서 트랜스퍼 트랜지스터의 게이트 전극만 도시하였으며 나머지 트랜지스터들은 도시하지 않았다.

<29> 이와같은 사항을 참조하여 도1b를 설명하면, 포토다이오드를 p/n/p형 포토다이오드로 구성한 경우로서, p^+ 기판(10)에 에피택셜 성장된 p형 에피층(11)이 형성되고, p형 에피층 표면(11)에는 소자분리를 위한 트렌치 구조의 소자분리막(12)이 형성되어 있으며 소자분리막(12) 하부에는 채널스톱 이온주입영역(19)이 형성되어 있음을 알 수 있다.

<30> 또한, p형 에피층 표면(11)에는 트랜스퍼 트랜지스터의 게이트전극(13)과 게이트 전극(13)의 측벽에 스페이서(14)가 형성되어 있다.

<31> p형 에피층(11) 내부에는 깊숙히 n^- 불순물영역(15)이 형성되고, 이 n^- 불순물영역(15) 상부와 p형 에피층(11) 표면 하부에는 p^0 불순물영역(16)이 형성되어 이들이 p형 에피층(11)과 함께 p/n/p 형 포토다이오드를 구성하고 있다.

<32> 상기한 구조와 같이, 다이내믹 레인지의 감소를 보상하기 위해 n^- 불순물영역(15)이 깊숙하게 형성되면, 인접한 포토다이오드와의 간격이 좁아짐에 따라 인접픽셀간의 누화현상 (①번 화살표로 표시됨)이나 누설전류(②번 화살표로 표시됨)가 발생하는 빈도가 증가함을 알 수 있다.

<33> 따라서, 이와 같은 단점을 보완해줄 트렌치 소자분리방법이 필요하게 되었다.

【발명이 이루고자 하는 기술적 과제】

- <34> 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로, 다이내믹 레인지를 확보하기 위하여 포토다이오드를 기판 깊숙히 형성하되, 채널스톱 이온주입영역을 2단계로 형성하여 인접픽셀간의 누화나 누설전류를 감소시킨 이미지센서의 트렌치 소자분리막 형성방법을 제공함을 그 목적으로 한다.

【발명의 구성 및 작용】

- <35> 상기한 목적을 달성하기 위한 본 발명은, 공핍형 트랜지스터와 일반형 트랜지스터가 함께 집적화되는 이미지센서의 제조방법에 있어서, 기판 상에 버퍼산화막 및 패드질화막을 차례로 형성하는 단계; 소자분리 마스크 공정 및 식각 공정을 통해 상기 공핍형 트랜지스터가 형성될 제 1 영역 및 상기 일반형 트랜지스터가 형성될 제 2 영역에 각각 상기 패드질화막 및 상기 버퍼산화막을 패터닝하고 상기 기판에 트렌치를 형성하는 단계; 상기 트렌치의 측벽에 스페이서를 형성하는 단계; 상기 제 2 영역을 마스크킹하고 상기 제 1 영역의 상기 트렌치의 저변에 고에너지를 이용한 고농도의 제 1 채널 스톱 이온주입영역을 형성하는 단계; 상기 제 1 영역 및 제 2 영역의 트렌치 측벽에 형성된 상기 스페이서를 제거하는 단계; 상기 제 2 영역을 마스크킹하고 상기 제 1 영역의 상기 트렌치의 측벽과 저변을 감싸는 저에너지를 이용한 저농도의 제 2 채널스톱 이온주입영역을 형성하는 단계; 및 상기 제 1 및 제 2 영역의 상기 트렌치 내부를 절연물로 매립하는 단계를 포함하여 이루어진다.

- <36> 본 발명은 얇은 트렌치 소자분리막(Shallow Trench Isolation)을 이용한 소자분리 방법에 관한 것으로, 이미지센서가 점차로 미세해짐에 따라 이미지센서를 구성하는 인접 픽셀간의 누화 현상과 누설전류가 증대되는 것을 방지하기 위한 새로운 소자분리막 형성방법에 관한 것이다. 본 발명은 $0.18\mu\text{m}$ 기술을 포함하여 그 이하의 미세선폭을 갖는 최신 미세기술에도 적용가능한 발명이다.
- <37> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.
- <38> 도2a 내지 도2e는 본 발명의 일실시예에 따른 트렌치 소자분리방법을 도시한 공정 순서도로서 이를 참조하여 본 발명에 따른 일실시예를 설명한다.
- <39> 먼저, 도2a에 도시된 바와 같이 p^+ 반도체 기판(20) 상에 에피택셜 성장된 p형 에피층(21)을 성장시킨다. p형 에피층(21)을 사용하는 이유는 첫째, 저농도의 p에피층이 존재하므로 포토다이오드의 공핍영역(Depletion region)을 크고 깊게 증가시킬 수 있어 광전하를 모으기 위한 포토다이오드의 능력(ability)을 증가시킬 수 있다. 둘째, p형 에피층(21)의 하부에 고농도의 p^+ 기판(20)을 갖게되면, 이웃하는 단위화소(pixel)로 전하가 확산되기 전에 이 전하가 빨리 재결합(Recombination)되기 때문에 광전하의 불규칙 확산(Random Diffusion)을 감소시켜 광전하의 전달 기능 변화를 감소시킬 수 있다.
- <40> 다음으로, p형 에피층(21) 상에 버퍼산화막(22)과 패드질화막(23)을 차례로 형성한 다음, 패드질화막(23) 상에 제 1 감광막(24)을 형성하고 노광공정을 진행한다. 이후에 소자분리막이 형성될 영역의 버퍼산화막(22)과 패드질화막(23)을 완전히 제거하는 패턴

닝 작업을 실시하여 p형 에피층(21)을 노출시킨다. 다음으로 제 1 감광막(24)을 제거하고 패드질화막(23)을 식각마스크로 하여 p형 에피층(21)을 일정두께 식각하여 소자분리막이 매립될 트렌치 구조를 형성한다.

<41> 다음으로 도2b에 도시된 바와 같이, 단차피복성(step coverage)이 우수한 TEOS(Tetra-Ethyl-Ortho-Silicate) 산화막(25)을 기판전면에 증착한다. TEOS 산화막(25)은 스페이서구조를 형성하는데 이용된다. 스페이서구조는 증착된 TEOS 산화막(25)을 전면식각하여 형성한다.

<42> 본 발명에서는 채널스톱 이온주입영역을 형성할때 고에너지 이온주입방법이 사용되므로, 이로인해 소자의 특성이 열화되는 것을 방지하기 위하여 스페이서 구조를 이용하여 채널스톱 이온주입영역이 트렌치구조의 중앙에 위치하도록 자기정렬시킨다.

<43> 다음으로 도2c에 도시된 바와 같이 스페이서구조(25)가 형성된 전면구조 상에 제 2 감광막(26)을 형성한 후, 노광/식각공정을 통해 제 2 감광막(26)의 소정부분을 제거하여 공핍형 트랜지스터 영역을 오픈시킨다. 본 발명의 일실시예에서는 제 2 감광막(26)을 이용하여 일반 트랜지스터가 형성될 영역을 마스킹하였으나, 감광막 이외의 다른 물질을 이용하여 마스킹공정을 수행할 수도 있다.

<44> 이후에, 공핍형 트랜지스터 영역의 트렌치 구조 저변에 고에너지를 이용한 이온주입공정을 수행하여 제 1 채널스톱 이온주입영역(27)을 형성한다. 이때 고에너지 이온주입공정은 보론(B₁₁)을 이용하며, $6.0 \times 10^{12} \sim 1.5 \times 10^{13} \text{ cm}^{-3}$ 의 도즈(dose)량과 150 ~ 250 KeV의 이온주입에너지로 진행된다. 이때 소정의 틸트각(tilt)이나 회전(rotation)은 적용되지 않는다.

- <45> 이러한 고에너지 이온주입공정은 이온주입마스크가 미스얼라인(mis-align)되었을 경우, 기판을 손상시키거나 소자의 성능을 심각하게 저하시킬 수 있다. 따라서 스페이서 구조(25)를 형성하여 미스얼라인에 의한 소자성능을 저하를 방지함은 전술한 바와 같다. 이때 활성영역에 대한 이온주입 블로킹(blocking)역할은 패드질화막(23) 및 제 2 감광막(26)이 담당하게 된다.
- <46> 다음으로, 도2d에 도시된 바와같이 제 2 감광막(26)을 제거한 뒤에, 공핍트랜지스터 영역과 일반트랜지스터 영역 모두에 형성된 스페이서(25)를 제거하는데, 이는 후속 공정으로 트렌치 구조에 소자분리막(30)이 매립되어야 하기 때문이다.
- <47> 스페이서(25)를 제거하고 난뒤에, 제 3 감광막(28)을 기판 전면에 형성하고 노광/식각공정을 통해 제 3 감광막(28)의 소정부분을 제거하여 공핍 트랜지스터 영역을 노출시킨다. 본 발명의 일실시예에서는 제 3 감광막(28)을 이용하여 일반 트랜지스터가 형성될 영역을 마스킹하였으나, 감광막 이외의 다른 물질을 이용하여 마스킹공정을 수행할 수도 있다.
- <48> 이어서, 제 2 채널스톱 이온주입영역(29)을 트렌치 구조의 측벽 및 저변에 걸쳐서 얇게 형성한다. 제 2 채널스톱 이온주입영역(29)은 보론(B_{11})을 이용하며, $6.0 \times 10^{12} \text{ cm}^{-3}$ 의 도즈(dose)량과 40 KeV의 이온주입에너지로 진행되며, 트렌치 구조의 측벽과 저변에 형성하기 위하여 소정의 경사각(tilt)과 회전(rotation)공정을 적용하여 수행된다. 이를 도2d에 도시하였다.
- <49> 본 발명의 일실시예에 따른 제 1 채널스톱 이온주입영역(27)은 인접 셀간의 누화현상이나 누설전류를 방지하기 위한 목적으로 형성되며, 제 2 채널스톱이온주입(29)영역은 필드산화막(30)과 p형 에피층(21)의 접합영역에 존재하는 암전류 소스(Dark source)나

결정결함(crystalline defect)을 감싸춤으로써 이미지센서의 특성을 향상시키기 위해 형성된다.

<50> 이어서, 도2e에 도시된 바와같이 제 3 감광막(28)을 제거한 이후에, 절연막(30)(예를 들면, 필드산화막)으로 트렌치구조를 캡-필 하는 공정을 진행하고 상기 절연막(30)에 대한 어닐공정을 수행하여 필드산화막의 특성을 원하는 특성으로 조정한다. 이후에 캡 필된 필드산화막(30)을 화학기계연마하여 평탄화시킨 후, 패드질화막(23)을 제거하면 STI 공정에 의한 소자분리막 형성이 완성된다. 본 발명의 일실시예에서는 공핍형 트랜지스터가 형성되는 영역에서는 이중으로 형성된 채널스톱 이온주입영역에 의해 소자간의 전기적인 절연이 이루어지며, 일반형 트랜지스터가 형성되는 영역에서는 p-웰(well) 체인(chain) 이온주입영역에 의해 소자간의 전기적인 절연이 이루어진다.

<51> 도3은 본 발명의 일실시예에 따라 형성된 소자분리막을 적용하였을 경우, 종래기술의 문제점을 해결하는 개념을 도시한 단면도로서, p^+ 기판(30)에 에피택셜 성장된 p형 에피층(31)이 형성되고, p형 에피층 표면(31)에는 소자분리를 위한 트렌치 구조의 소자분리막(32)이 형성되어 있으며 소자분리막(32) 하부에는 깊숙히 형성된 제 1 채널스톱 이온주입영역(34)과 소자분리막의 측면과 저면에 형성된 제 2 채널스톱 이온주입영역(33)이 형성되어 있음을 알 수 있다.

<52> 또한, p형 에피층 표면(31)에는 트랜스퍼 트랜지스터의 게이트전극(38)과 게이트전극(38)의 측벽에 스페이서(37)가 형성되어 있다.

<53> p형 에피층(31) 내부에는 다이내믹 레인지를 보상해주기 위하여 n^- 불순물영역(36)이 에피층(31) 깊숙히 형성되어 있으며, n^- 불순물영역(36) 상부와 p형 에피층(31) 표면

하부에 p^0 불순물영역(35)이 형성되어 p형 에피층(31)과 함께 p/n/p 형 포토다이오드를 구성하고 있다.

<54> 여기서, 깊숙히 형성된 제 1 채널스톱 이온주입영역(34)은 인접 픽셀간의 누화현상(①로 표시됨)과 누설전류(②)를 막아주는 역할을 하며, 트렌치구조의 측벽과 저변에 걸쳐 형성된 제 2 채널스톱 이온주입영역(33)은 소자분리막(32)과 p형 에피층(31)의 접합 영역에 존재하는 암전류 소스나 결정결함을 감싸주면 형성됨을 전술한 바와 같다.

<55> 본 발명은 얇은 트렌치 소자분리막(Shallow Trench Isolation)을 이용한 소자분리 방법에 관한 것으로, 이미지센서가 점차로 미세해짐에 따라 이미지센서를 구성하는 인접 픽셀간의 누화 현상과 누설전류가 증대되는 것을 방지하기 위한 새로운 소자분리막 형성방법에 관한 것이다. 따라서 본 발명은 $0.18\mu\text{m}$ 기술을 포함하여 그 이하의 미세선폭을 갖는 최신 미세기술에도 적용가능한 발명이다.

<56> 또한, 본 발명은 시모스 이미지센서 이외에도 CCD(charge coupled device)와 같은 이미지센서에서도 트렌치 구조를 이용하는 경우 본 발명을 적용할 수 있다.

<57> 이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

【발명의 효과】

<58> 본 발명을 이미지센서에 적용하면, 미세화된 이미지센서에서 출력의 다이내믹레인을 감소시킴 없이 인접 픽셀간의 누화 현상을 감소시킬 수 있으며 또한 누설전류특성도 향상시킬 수 있는 효과가 있다. 또한, 고에너지 이온주입공정시에 스페이서구조를 적용함으로써 공정의 안정화를 꾀할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

공핍형 트랜지스터와 일반형 트랜지스터가 함께 집적화되는 이미지센서의 제조방법에 있어서,

기판 상에 버퍼산화막 및 패드질화막을 차례로 형성하는 단계;

소자분리 마스크 공정 및 식각 공정을 통해 상기 공핍형 트랜지스터가 형성될 제 1 영역 및 상기 일반형 트랜지스터가 형성될 제 2 영역에 각각 상기 패드질화막 및 상기 버퍼산화막을 패터닝하고 상기 기판에 트렌치를 형성하는 단계;

상기 트렌치의 측벽에 스페이서를 형성하는 단계;

상기 제 2 영역을 마스크하고 상기 제 1 영역의 상기 트렌치의 저변에 고에너지를 이용한 고농도의 제 1 채널 스톱 이온주입영역을 형성하는 단계;

상기 제 1 영역 및 제 2 영역의 트렌치 측벽에 형성된 상기 스페이서를 제거하는 단계;

상기 제 2 영역을 마스크하고 상기 제 1 영역의 상기 트렌치의 측벽과 저변을 감싸는 저에너지를 이용한 저농도의 제 2 채널스톱 이온주입영역을 형성하는 단계; 및

상기 제 1 및 제 2 영역의 상기 트렌치 내부를 절연물로 매립하는 단계

를 포함하는 이미지센서의 트렌치 소자분리막 형성방법.

【청구항 2】

제1항에 있어서,

상기 제 1 채널스톱 이온주입영역은 150 ~ 250 KeV의 이온주입에너지와 6.0×10^{12} ~ $1.5 \times 10^{13} \text{ cm}^{-3}$ 의 도즈량을 갖고 형성되는 것을 특징으로 하는 이미지센서의 트렌치 소자분리막 형성방법.

【청구항 3】

제1항에 있어서,

상기 제 2 채널스톱 이온주입영역을 형성하기 위한 이온주입공정은 경사각과 회전공정을 적용하여 수행되는 것을 특징으로 하는 이미지센서의 트렌치 소자분리막 형성방법.

【청구항 4】

제3항에 있어서,

상기 제 2 채널스톱 이온주입영역은 40KeV의 이온주입에너지와 $6.0 \times 10^{12} \text{ cm}^{-3}$ 의 도즈량을 갖고 형성되는 것을 특징으로 하는 이미지센서의 트렌치 소자분리막 형성방법.

【청구항 5】

제2항 또는 제4항에 있어서,

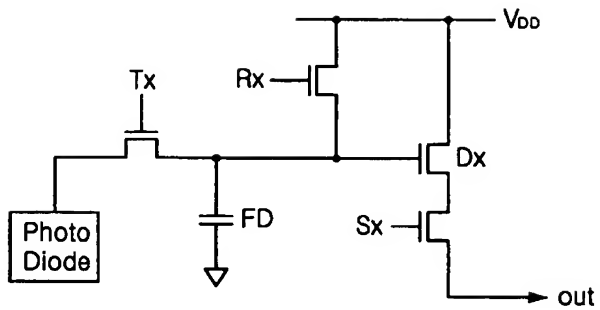
상기 제 1 채널스톱이온주입영역과 상기 제 2 채널스톱이온주입영역은 보론(B_{11})을 이용하여 형성되는 것을 특징으로 하는 이미지센서의 트렌치 소자분리막 형성방법.

【청구항 6】

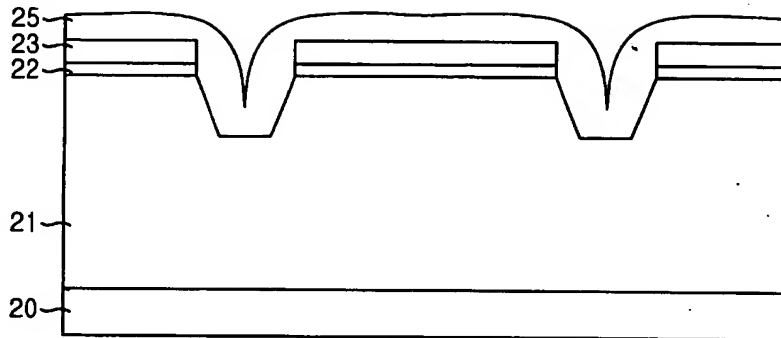
제1항에 있어서,

상기 스페이서는 TEOS 산화막을 이용하여 형성되는 것을 특징으로 하는 이미지 센서의 트렌치 소자분리막 형성방법.

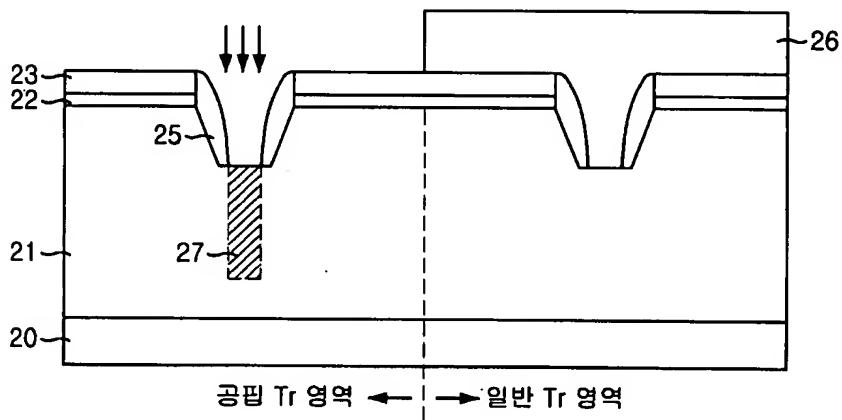
【도 1a】



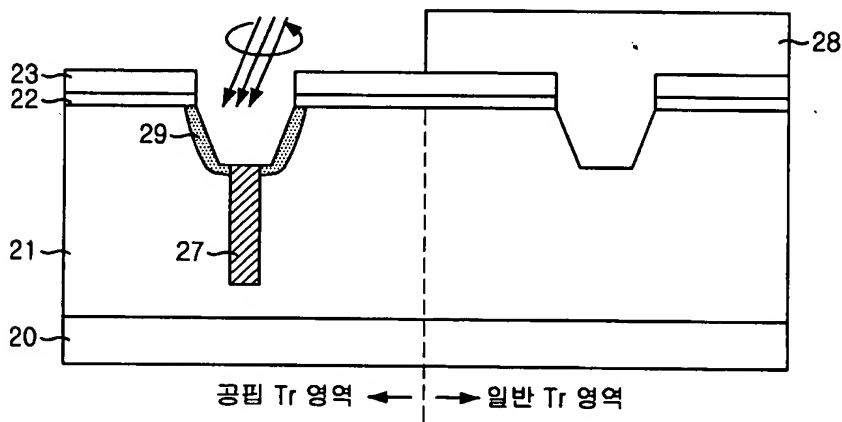
【도 2b】



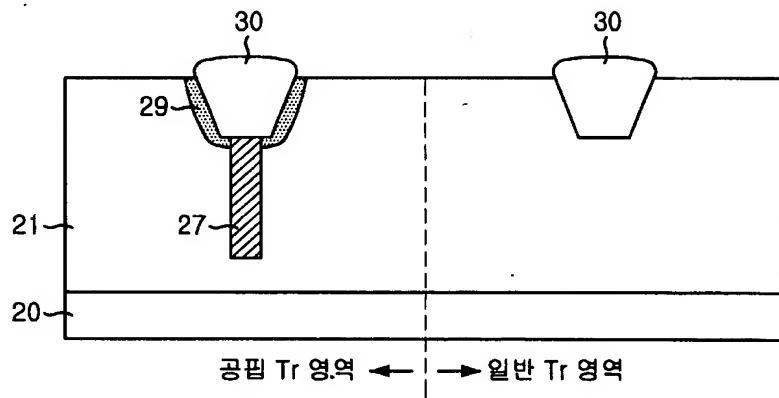
【도 2c】



【도 2d】



【도 2e】



【도 3】

